

**DLL circuit, semiconductor device using the same and delay control method**

Patent Number: ■ US2001028267  
Publication date: 2001-10-11  
Inventor(s): KOBAYASHI SHOTARO (JP); ISHIKAWA TORU (JP)  
Applicant(s): NIPPON ELECTRIC CO (US)  
Requested Patent: ■ JP2001298362  
Application Number: US20010828002 20010406  
Priority Number(s): JP20000109650 20000411  
IPC Classification: H03H11/26  
EC Classification: H03K5/13D  
Equivalents: ■ US6509776

---

**Abstract**

---

A DLL (delay locked loop) circuit includes a signal propagation system and a delay control system. The signal propagation system includes a delay circuit which delays a reference clock signal based on a delay control signal to generate a delayed clock signal. The delay control system includes a sampling circuit, a phase comparing circuit and a delay control circuit. The sampling circuit outputs a first clock signal having a pulse corresponding to one of  $n$  ( $n$  is an integer more than 1) pulses of the delayed clock signal. The phase comparing circuit compares the first clock signal as a first comparison input signal and the reference clock signal as a second comparison input signal in phase to output a phase difference. The delay control circuit generates the delay control signal based on the phase difference from the phase comparing circuit to output to the delay circuit of the signal propagation system.

---

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-298362

(P2001-298362A)

(43)公開日 平成13年10月26日(2001. 10. 26)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テ-マコード\*(参考)

H 0 3 L 7/081

H 0 3 K 5/13

5 B 0 2 4

G 0 6 F 1/10

H 0 3 L 7/00

D 5 B 0 7 9

G 1 1 C 11/407

7/08

J 5 J 0 0 1

H 0 3 K 5/13

G 0 6 F 1/04

3 3 0 A 5 J 1 0 6

H 0 3 L 7/00

G 1 1 C 11/34

3 5 4 C

審査請求 未請求 請求項の数18 O L (全 13 頁) 最終頁に続く

(21)出願番号 特願2000-109650(P2000-109650)

(22)出願日 平成12年4月11日(2000. 4. 11)

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 小林 勝太郎

東京都港区芝五丁目7番1号 日本電気株式会社内

(72)発明者 石川 透

東京都港区芝五丁目7番1号 日本電気株式会社内

(74)代理人 100102864

弁理士 工藤 実 (外1名)

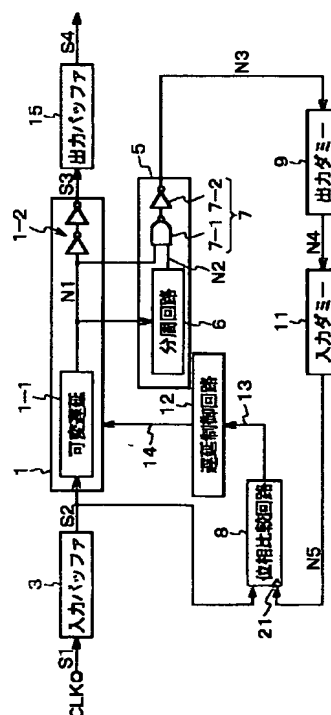
最終頁に続く

(54)【発明の名称】 D L L回路、それを使用する半導体装置及び遅延制御方法

(57)【要約】

【課題】 低消費電力で安定した遅延制御を行うD L L回路を提供する。

【解決手段】 D L L回路は、遅延制御信号に基づいて基準クロック信号(S 2)を遅延させて遅延クロック信号を生成する遅延回路(1)と、前記遅延クロック信号のパルスのn(nは2以上の整数)個のうち1つに対応するパルスを第1クロック信号(N 3)として出力するサンプリング回路(5)と、前記第1クロック信号を第1比較入力信号(N 5)とし、前記基準クロック信号を第2比較入力信号とし、前記第1比較入力信号と前記第2比較入力信号とを位相に関して比較して位相差を出力する位相比較回路(8)と、前記位相比較回路からの前記位相差に基づいて前記遅延制御信号(1 4)を発生して前記遅延回路に出力するための遅延制御回路(1 2)とからなる。



## 【特許請求の範囲】

【請求項 1】信号伝搬系と遅延制御系からなり、  
前記信号伝搬系は、  
遅延制御信号に基づいて基準クロック信号を遅延させて  
遅延クロック信号を生成する遅延回路からなり、  
前記遅延制御系は、  
前記遅延クロック信号のパルスの  $n$  ( $n$  は 2 以上の整数) 個のうち 1 つに対応するパルスを第 1 クロック信号として出力するサンプリング回路と、  
前記第 1 クロック信号を第 1 比較入力信号とし、前記基準クロック信号を第 2 比較入力信号とし、前記第 1 比較入力信号と前記第 2 比較入力信号とを位相に関して比較して位相差を出力する位相比較回路と、  
前記位相比較回路からの前記位相差に基づいて前記遅延制御信号を発生して前記信号伝搬系の前記遅延回路に出力するための遅延制御回路とからなる D L L 回路。  
【請求項 2】請求項 1 に記載の D L L 回路であって、  
前記信号伝搬系は、外部クロック信号を入力して前記基準クロック信号として前記遅延回路に出力する入力回路をさらに有し、  
前記遅延制御系は、前記サンプリング回路からの前記第 1 クロック信号を、前記入力回路と同等の遅延量だけ遅延させて前記第 1 比較入力信号として前記位相比較回路に出力する入力ダミー回路をさらに有する D L L 回路。  
【請求項 3】請求項 1 に記載の D L L 回路であって、  
前記信号伝搬系は、前記遅延回路からの前記遅延クロック信号を入力して内部クロック信号として出力する出力回路をさらに有し、  
前記遅延制御系は、前記サンプリング回路からの前記第 1 クロック信号を、前記出力回路と同等の遅延量だけ遅延させて前記第 1 比較入力信号として前記位相比較回路に出力する出力ダミー回路をさらに有する D L L 回路。  
【請求項 4】請求項 1 に記載の D L L 回路であって、  
前記信号伝搬系は、  
外部クロック信号を入力して前記基準クロック信号として前記遅延回路に出力する入力回路と、  
前記遅延回路からの前記遅延クロック信号を入力して内部クロック信号として出力する出力回路とをさらに有し、  
前記遅延制御系は、  
前記サンプリング回路からの前記第 1 クロック信号を、  
前記入力回路と同等の遅延量と前記出力回路と同等の遅延量の和だけ遅延させて前記第 1 比較入力信号として前記位相比較回路に出力するダミー回路をさらに有する D L L 回路。  
【請求項 5】請求項 1 乃至 4 のいずれかに記載の D L L 回路であって、前記サンプリング回路は、  
前記遅延クロック信号を  $1/n$  分周して分周信号を生成する分周器と、  
前記分周信号に基づいて前記遅延クロック信号の前記パ

ルスの各々に対応するパルスを選択的に出力する選択出力回路とを具備する D L L 回路。

【請求項 6】請求項 5 に記載の D L L 回路であって、  
前記選択出力回路は、  
前記分周回路の出力にそのクロック端子が接続され、前記遅延クロック信号を反転するためのクロックドインバータと、  
前記分周回路の出力にそのゲート端子が接続され、そのドレイン端子が前記クロックドインバータの出力に接続され、そのソース端子が接地された N チャンネルトランジスタとを具備する D L L 回路。

【請求項 7】請求項 5 または 6 に記載の D L L 回路であって、  
前記分周回路は、  
前記遅延クロック信号を  $1/2$  分周するためのフリップフロップと、  
前記フリップフロップの出力を反転するためのインバータとを具備する D L L 回路。

【請求項 8】請求項 5 または 6 に記載の D L L 回路であって、前記分周回路は、  
前記遅延クロック信号を  $1/2$  分周するためのフリップフロップと、  
前記フリップフロップの出力とサンプリング制御信号との NOR 演算結果を出力する NOR 回路を具備し、  
前記サンプリング制御信号は通常 L レベルであり、アクティブ時に H レベルであり、前記遅延信号が前記分周信号と同期して出力されるべきか連続して出力されるべきか否かを示す D L L 回路。

【請求項 9】請求項 1 乃至 8 のいずれかに記載の D L L 回路であって、  
前記位相比較回路は、前記第 1 比較入力信号の位相を基準として前記第 2 比較入力信号と前記第 1 比較入力信号との前記位相差を出力する D L L 回路。

【請求項 10】請求項 9 に記載の D L L 回路であって、  
前記位相比較回路は、前記第 1 比較入力信号の位相を立ち上がりエッジを基準として前記第 2 比較入力信号の立ち上がりエッジの位相の進み又は遅れを前記位相差として出力する D L L 回路。

【請求項 11】請求項 1 乃至 10 のいずれかに記載の D L L 回路であって、  
前記基準クロック信号を  $1/m$  ( $m$  は 1 以外の  $n$  の約数) 分周し、反転して前記前記第 2 比較入力信号として前記位相比較回路に供給するための分周器をさらに具備する D L L 回路。

【請求項 12】請求項 1 乃至 11 のいずれかに記載の D L L 回路を具備する半導体装置。

【請求項 13】請求項 1 乃至 11 のいずれかに記載の D L L 回路を具備する同期式 D R A M。

【請求項 14】入力バッファを介して供給される外部クロック信号から基準クロック信号を生成するステップ

## 3

と、  
 遅延制御信号に基づいて前記基準クロック信号を遅延させて遅延クロック信号を生成するステップと、  
 前記第1の遅延クロック信号を出力バッファを介して出力するステップと、  
 前記第2遅延クロック信号のパルスの $n$  ( $n$ は2以上の整数)個のうち1つに対応するパルスを第1クロック信号としてサンプリングするステップと、  
 前記第1のクロック信号を前記入力バッファの遅延量と前記出力バッファの遅延量との和の分だけ遅延させて第2クロック信号を生成するステップと、  
 前記第2クロック信号を第1比較入力信号とし、前記基準クロック信号を第2比較入力信号とし、前記第1比較入力信号と前記第2比較入力信号とを位相に関して比較して位相差を出力するステップと、  
 前記位相差に基づいて前記遅延制御信号を発生するステップとからなる外部クロック信号の遅延制御方法。  
 【請求項15】請求項14に記載の遅延制御方法であって、前記サンプリングステップは、  
 前記遅延クロック信号を $1/n$ 分周して分周信号を生成するステップと、  
 前記分周信号に基づいて前記遅延クロック信号の前記パルスの各々を前記第1クロック信号として選択的に出力するステップとからなる遅延制御方法。  
 【請求項16】請求項14又は15に記載の遅延制御方法であって、  
 前記位相差を出力するステップは、前記第1比較入力信号の位相を基準として前記第2比較入力信号と前記第1比較入力信号との位相を比較し、その比較結果を前記位相差として出力するステップとからなる遅延制御方法。  
 【請求項17】請求項16に記載の遅延制御方法であって、  
 前記位相差を出力するステップは、前記第1比較入力信号の位相を立ち上がりエッジを基準として前記第2比較入力信号の立ち上がりエッジの位相の進み又は遅れを前記位相差として出力する遅延制御方法。  
 【請求項18】請求項14乃至17のいずれかに記載の遅延制御方法であって、  
 前記基準クロック信号に変えて、前記基準クロック信号を $1/m$  ( $m$ は1以外の $n$ の約数)分周し、反転して前記第2比較入力信号とするステップをさらに具備する遅延制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、DLL回路、それを用いる半導体装置、及び位相遅延制御方法に関する。

【0002】

【従来の技術】メモリ回路、インターフェイス回路、CPUなどの半導体装置の動作は、装置の外部から供給される基準クロックに基づいて制御される。近年、半導体

## 4

装置の高速化に伴いメモリ回路も400MHzに近い高速で正確に動作することが要求される。例えば、基準クロックに同期してデータ出力を行うシンクロナスDRAMは、周期2.5ns程度のクロック信号の立ち上がりエッジと立ち下がりエッジに同期して、正確に動作しなければならない。これは、言い換えると、半周期(1.25ns)のタイミングで動作する必要があるということである。

【0003】シンクロナスDRAMは、基準クロック信号に基づいて生成される内部クロック信号によって動作が制御されているが、正確な高速動作を保証するためには、基準クロック信号である外部クロック信号の位相と内部クロック信号の位相とが一致していること、あるいは外部クロック信号と内部クロック信号との位相差が厳密に規定されていることが求められる。その位相の一致のために、DLL回路が用いられている。

【0004】即ち、外部クロック信号は、可変遅延回路によって遅延させられて、DLL回路から内部クロック信号として出力される。このようにして生成される内部クロック信号の位相と外部クロック信号の位相とが位相比較回路により比較され、位相のずれ量に基づいてフィードバック位相制御が行われ、可変遅延回路の遅延量が調整される。こうして、内部クロック信号の位相が外部クロック信号の位相に一致する。

【0005】そのようなDLL回路の従来例が、特開平11-127063号公報で知られている。この従来例の構成が図9に示されている。また、その動作が図10に示されている。図9を参照して、図10(a)に示されるように外部クロック信号は入力バッファを介して信号N1として可変遅延回路103に供給される。可変遅延回路103は、遅延制御回路107からの遅延制御信号N8に基づいて信号N1を遅延させ、図10(c)に示されるように信号N4を生成する。信号N4は、出力バッファ109を介して内部クロック信号として出力される。また、信号N4は、タイミング同期回路101に供給されている。

【0006】また、信号N1は分周回路102により分周され、図10(b)に示されるように信号N2として位相比較回路106に供給される。信号N2は、タイミング同期回路101にも供給される。タイミング同期回路101は、図10(d)に示されるように信号N4に同期するように信号N2を信号N5として出力する。

【0007】信号N5は、図10(e)に示されるように出力ダミー回路104及び入力ダミー回路105を通り信号N7として位相比較回路106に供給される。位相比較回路106は、信号N2と信号N7を位相において比較し、位相差を遅延制御回路107に出力する。遅延制御回路107は、位相比較回路106からの位相差に基づいて遅延制御信号を生成し、信号N8として可変遅延回路103に出力する。

【0008】このように位相制御された内部クロック信号S4は、読み出しデータを出力バッファ109から出力するタイミングの制御等に用いられ、基準クロック信号INに同期する。前述のように、近年メモリ回路の動作周波数が向上し、消費電力（平均動作電流）の増加が問題になっている。一般に、CMOSトランジスタで構成された論理回路では、特にデータがスイッチングするとき、即ち、データの0と1が切り替わるときだけ充放電電流が流れる。従って、図8のDLL回路で最も電流を消費するのは出力バッファ、入力バッファ、及びこれら10の構成をそれぞれ模擬した出力ダミー回路と入力ダミー回路である。

【0009】そこで、図9に示された従来では、基準クロック信号N1を分周回路102により1/2分周することで、位相比較動作の回数を2分の1にしている。従って、ダミー回路のスイッチング動作回数が2分の1に抑えられ、消費電力を削減することができる。

【0010】タイミング同期回路101の動作について、図9を参照して説明する。タイミング同期回路101は、一般に信号N1を分周した信号N2（図10(b)）と、信号N1を遅延させた信号N4（図10(c)）とを入力とするフリップフロップを用いて、信号N1の分周信号を信号N4に同期させた信号N5（図10(d)）を生成する回路である。図10はタイミング同期回路101が正常に動作したときのタイミングチャートである。

【0011】しかし、信号N1と信号N4との位相差に応じて、可変遅延回路103による遅延量が変化するので、タイミング同期回路101は、実質的に関連のない信号間の同期を取るのに等しい。そのため、タイミング同期回路101を構成するフリップフロップ回路のセットアップホールド期間内に信号N2が変化する状態、即ち、信号N4の立ち上がりエッジと信号N2の変化点がほぼ一致する状態が発生し、データ1を出力する作用とデータ0を出力する作用とが釣り合っ20て中間電位が出力されるメタステーブル状態が生じる。結果的に、信号N5の立ち上がりタイミングの遅れや、信号波形の抜けが起こり、不安定な動作状態になる。

【0012】このような誤動作を生じる位相差は、信号N1と信号N4との同期を取る過程で生じるが、タイミング同期回路101を広い周波数領域で安定に動作するように設計することは一般的に困難である。

【0013】

【発明が解決しようとする課題】従って、本発明の目的は、消費電力が削減されることができるDLL回路を提供することである。

【0014】また、本発明の他の目的は、外部クロックの周波数が変動しても安定して動作することができるDLL回路を提供することである。

【0015】また、本発明の他の目的は、位相比較を行

う回数を制御できるDLL回路を提供することである。

【0016】また、本発明の他の目的は、遅延信号を基準として入力クロック信号の位相を検出し、安定動作を保証することができるDLL回路を提供することである。

【0017】また、本発明の他の目的は、DLL回路の立ち上げ直後、つまりアンロック状態（外部クロック信号と内部クロック信号との位相差が規定の範囲に入っていない状態）からロック状態（外部クロック信号と内部クロック信号との位相差が規定の範囲に入った状態）に移る段間でも安定して動作するDLL回路を提供することである。

【0018】また、本発明の他の目的は、上記DLL回路を含む、同期式DRAMのような半導体装置を提供することである。また、本発明の他の目的は、上記DLL回路における遅延制御方法を提供することである。

【0019】

【課題を解決するための手段】以下に、本発明の目的を達成するための手段を説明する。そのなかで、括弧（）つきで示される技術的事項は、実施の形態の説明における参照番号を示す。しかしながら、参照番号は本発明の技術的範囲の解釈に用いてはならず、本発明の技術的範囲は特許請求の範囲の記載に基づいて解釈されるべきである。

【0020】本発明のある観点を達成するために、DLL回路は、信号伝搬系と遅延制御系からなり、前記信号伝搬系は、遅延制御信号に基づいて基準クロック信号（S2）を遅延させて遅延クロック信号を生成する遅延回路（1）からなる。前記遅延制御系は、前記第2遅延クロック信号のパルスのn（nは2以上の整数）個のうち1つに対応するパルスを第1クロック信号（N3）として出力するサンプリング回路（5）と、前記第1クロック信号を第1比較入力信号（N5）とし、前記基準クロック信号を第2比較入力信号とし、前記第1比較入力信号と前記第2比較入力信号とを位相に関して比較して位相差を出力する位相比較回路（8）と、前記位相比較回路からの前記位相差に基づいて前記遅延制御信号（14）を発生して前記信号伝搬系の前記遅延回路に出力するための遅延制御回路（12）とからなるDLL回路。

【0021】また、前記信号伝搬系は、外部クロック信号を入力して前記基準クロック信号として前記遅延回路に出力する入力回路（3）をさらに有し、前記遅延制御系は、前記サンプリング回路からの前記第1クロック信号を、前記入力回路（3）と同等の遅延量だけ遅延させて前記第1比較入力信号として前記位相比較回路に出力する入力ダミー回路（11）をさらに有してもよい。

【0022】前記信号伝搬系は、前記遅延回路からの前記第1遅延クロック信号を入力して内部クロック信号として出力する出力回路（15）をさらに有し、前記遅延制御系は、前記サンプリング回路からの前記第1クロ

ク信号を、前記出力回路(15)と同等の遅延量だけ遅延させて前記第1比較入力信号として前記位相比較回路に出力する出力ダミー回路(9)をさらに有してもよい。

【0023】また、前記信号伝搬系は、外部クロック信号を入力して前記基準クロック信号として前記遅延回路に出力する入力回路(3)と、前記遅延回路からの前記第1遅延クロック信号を入力して内部クロック信号として出力する出力回路(15)とをさらに有し、前記遅延制御系は、前記サンプリング回路からの前記第1クロック信号を、前記入力回路と同等の遅延量と前記出力回路と同等の遅延量の和だけ遅延させて前記第1比較入力信号として前記位相比較回路に出力するダミー回路(11, 9)をさらに有してもよい。

【0024】前記サンプリング回路は、前記第2遅延クロック信号を $1/n$ 分周して分周信号を生成する分周器(6)と、前記分周信号に基づいて前記遅延クロック信号の前記パルスの各々に対応するパルスを選択的に出力する選択出力回路(7)とを具備してもよい。

【0025】また、前記選択出力回路(7)は、前記分周回路の出力にそのクロック端子が接続され、前記遅延クロック信号を反転するためのクロックドインバータ(24)と、前記分周回路の出力にそのゲート端子が接続され、そのドレイン端子が前記クロックドインバータの出力に接続され、そのソース端子が接地されたNチャンネルトランジスタ(NチャンネルFET)とを具備してもよい。

【0026】例えば、前記分周回路は、前記遅延クロック信号を $1/2$ 分周するためのフリップフロップ(25)と、前記フリップフロップの出力を反転するためのインバータ(27)とを具備していてもよい。

【0027】また、前記分周回路は、前記遅延クロック信号を $1/2$ 分周するためのフリップフロップ(25)と、前記フリップフロップの出力とサンプリング制御信号とのNOR演算結果を出力するNOR回路(28)を具備してもよい。この場合、前記サンプリング制御信号は通常Lレベルであり、アクティブ時にHレベルであり、前記遅延信号が前記分周信号と同期して出力されるべきか連続して出力されるべきかを示すことが望ましい。

【0028】また、前記位相比較回路は、前記第1比較入力信号の位相を基準として前記第2比較入力信号と前記第1比較入力信号との前記位相差を出力してもよい。この場合、前記位相比較回路は、前記第1比較入力信号の位相を立ち上がりエッジを基準として前記第2比較入力信号の立ち上がりエッジの位相の進み又は遅れを前記位相差として出力することが望ましい。

【0029】また、前記基準クロック信号を $1/m$ ( $m$ は1以外の $n$ の約数)分周し、反転して前記前記第2比較入力信号として前記位相比較回路に供給するための分

周器(30)をさらに具備してもよい。上記DLL回路は半導体装置に組み込まれていてもよい。半導体装置は、同期式DRAMであってもよい。

【0030】また、本発明の他の観点を達成するために、外部クロック信号の遅延制御方法は、入力バッファを介して供給される外部クロック信号から基準クロック信号を生成するステップと、遅延制御信号に基づいて前記基準クロック信号を遅延させて遅延クロック信号を生成するステップと、前記の遅延クロック信号を出力バッファを介して出力するステップと、前記遅延クロック信号のパルスの $n$ ( $n$ は2以上の整数)個のうち1つに対応するパルスを第1クロック信号としてサンプリングするステップと、前記第1のクロック信号を前記入力バッファの遅延量と前記出力バッファの遅延量との和の分だけ遅延させて第2クロック信号を生成するステップと、前記第2クロック信号を第1比較入力信号とし、前記基準クロック信号を第2比較入力信号とし、前記第1比較入力信号と前記第2比較入力信号とを位相に関して比較して位相差を出力するステップと、前記位相差に基づいて前記遅延制御信号を発生するステップとからなる。

【0031】前記サンプリングステップは、前記第2遅延クロック信号を $1/n$ 分周して分周信号を生成するステップと、前記分周信号に基づいて前記遅延クロック信号の前記パルスの各々を前記第1クロック信号として選択的に出力するステップとからなる。

【0032】また、前記位相差を出力するステップは、前記第1比較入力信号の位相を基準として前記第2比較入力信号と前記第1比較入力信号との位相を比較し、その比較結果を前記位相差として出力ステップからなる。

【0033】前記位相差を出力するステップは、前記第1比較入力信号の位相を立ち上がりエッジを基準として前記第2比較入力信号の立ち上がりエッジの位相の進み又は遅れを前記位相差として出力する。

【0034】前記基準クロック信号に変えて、前記基準クロック信号を $1/m$ ( $m$ は1以外の $n$ の約数)分周し、反転して前記第2比較入力信号とするステップをさらに具備する。

【0035】

【発明の実施の形態】以下に添付図面を参照して、本発明のDLL回路及びそれを使用する半導体装置について詳細に説明する。

【0036】図1は、本発明の第1の実施形態による半導体装置の構成を示すブロック図である。最初に、図1を参照して、本発明の第1の実施形態によるDLL回路は、信号伝搬系と遅延制御系からなる。信号伝搬系は、入力される外部クロック信号を遅延させて内部クロック信号を生成する。遅延制御系は、外部クロック信号と内部クロック信号の位相が一致するように、あるいは所定の関係を満たすように信号伝搬系での遅延量を制御する。

【0037】信号伝搬系は、入力バッファ3、可変遅延回路1、及び出力バッファ15からなる。可変遅延回路1は、可変遅延部1-1と固定された遅延量をもつ固定遅延部1-2からなる。可変遅延回路1は、入力される遅延制御信号14に基づいて信号を遅延させる。

【0038】遅延制御系は、サンプリング回路5、出力ダミー回路9、入力ダミー回路11、位相比較回路8、遅延制御回路12からなる。サンプリング回路5は、サンプリング制御信号を発生する制御信号発生部6（図1では、分周回路）とサンプリング部7からなる。

【0039】次に、本発明の第1の実施形態によるDLL回路の動作を説明する。

【0040】入力バッファ3は、外部クロック信号S1を入力し、図2（a）に示されるように、基準クロック信号S2を出力する。入力バッファ3は、固有の遅延量を有し、このため、基準クロック信号S2は信号S1よりその遅延量分だけ遅延されている。基準クロック信号S2は、可変遅延回路1と位相比較回路8に供給される。

【0041】可変遅延回路1は、可変遅延回路部1-1と固定遅延部1-2からなる。遅延回路部1-1は、信号S2を入力し、遅延制御信号14に基づいて決定される遅延量だけ信号S2を遅延させ、図2（b）に示されるように遅延信号N1を出力する。遅延信号N1は、固定遅延部1-2とサンプリング回路5に出力される。固定遅延部1-2は、少なくとも1つの遅延素子からなる。遅延素子は、バッファであっても良いし、あるいはインバータでもよい。固定遅延部1-2は、信号N1を入力し、遅延信号S3を出力バッファ5に出力する。固定遅延部1-2は、固定の遅延量を持つので、信号S3は、信号N1よりその遅延量分遅延されている。

【0042】出力バッファ15は、遅延信号S3を入力し、内部クロック信号S4を出力する。出力バッファ15は、固有の遅延量を有する。このため、内部クロック信号S4は信号S3よりその遅延量分だけ遅延されている。この内部クロック信号S4は、DLL回路を内蔵する半導体装置で使用される。たとえば、半導体装置が同期式DRAMである場合には、この内部クロック信号S4を用いて同期式DRAM内のメモリ部で使用されるリードインエーブル信号、ラッチ信号などの制御信号が生成される。

【0043】サンプリング回路5は、制御信号発生部6とサンプリング部7からなる。サンプリング回路5は、固有の遅延量を有する。可変遅延回路1の固定遅延部1-2の遅延量は、サンプリング回路5の遅延量と一致するように設定されている。また、サンプリング回路5は、遅延信号N3に関して出力ダミー回路9や入力ダミー回路11より前に設けられている。

【0044】制御信号発生部6は、この例では、分周回路6からなる。分周回路6は、1/2分周回路である。

従って、分周回路6は、信号N1を分周して、図2（c）に示されるように、分周後の信号N2を出力する。信号N2は、サンプリング部7に供給される。

【0045】サンプリング部7は、この例では、NAND回路7-1とインバータ7-2からなる。サンプリング部7は、信号N2に基づいて信号N1をサンプリングして、図2（d）に示されるように、信号N3を生成する。信号N2がHレベルにあるときには、信号N1は出力され、信号N2がLレベルにあるときには信号N1は出力されない。こうして、信号N1のパルスは2個に1個が間引かれていることになる。これは分周回路6が1/2分周回路のためである。信号N1のn個のパルスのうち1個が出力されるようにしてもよい。この場合には、1/n分周回路が使用されればよい。

【0046】出力ダミー回路9は、出力バッファ15と同等の遅延量を有する。また、入力ダミー回路11は入力バッファ3と同等の遅延量を有する。従って、信号N3が出力ダミー回路9により遅延されて信号N4が生成され、信号N4が入力ダミー回路により遅延され、信号N5が生成される。信号N5は図2（e）に示される。信号N5は位相比較回路8に供給される。

【0047】こうして、信号N5は、固定遅延部1-2に加えて、入力バッファ3と出力バッファ15の遅延量を反映することになる。この例では、出力ダミー回路9と入力ダミー回路11が別々に設けられているが、一体として設けられて良いことは言うまでもない。また、入力ダミー回路11と出力ダミー回路9の各々は、入力信号のレベルが変化するとき大きな電流を消費する。しかしながら、この例では、信号N3のパルスの数はサンプリング回路5により1/2に減らされているので、信号N1をそのまま使用する場合と較べて、消費電流は1/2となる。

【0048】位相比較回路8は、信号N5を基準として信号S1の位相の進みあるいは位相の遅れを検出する。より詳細には、位相比較回路8は、信号N5をクロック信号端子21に受信する。これにより、信号N5の立ち上がりエッジに同期して信号S2を取り込む。こうして、位相比較回路8は、信号N5を基準として信号S1の位相の進みあるいは位相の遅れを検出する。位相比較回路8は、検出結果を信号13として遅延制御回路12に出力する。遅延制御回路12は、信号13に基づいて遅延制御信号14を生成し可変遅延回路1に出力する。こうして、可変遅延回路1の遅延量が制御され、内部クロック信号S4の位相が外部クロック信号S1の位相と一致する。

【0049】このように、従来記述で誤動作の原因となっていた、遅延信号と分周信号とのタイミング同期動作が行う必要がないので、安定した動作が達成される。また、信号N5を位相比較動作の基準にするので、周波数の異なる信号間で位相比較を行うことができる。これ

は、サンプリングされた信号を基準にするので、必ず位相比較をする対象が存在する（“空振り”がない）ためである。

【0050】次に、本発明の第2の実施形態による半導体装置について説明する。第2の実施形態の半導体装置は、第1の実施形態の半導体装置と同様の構成を有している。異なる点は、第1の実施形態における分周回路、サンプリング回路6及び遅延回路1の一部が異なっている。

【0051】図3を参照して、遅延回路1は、バッファ部1-2に代えて、第2バッファ部1-3を有している。第2バッファ部1-3は、インバータ23-3とクロックドインバータ26からなる。分周回路6は、インバータ23-2、D型フリップフロップ25、及びインバータ27からなる。サンプリング部7は、インバータ23-1、制御端子付きインバータ24、NチャンネルMOSFET35からなる。

【0052】次に本発明の第2の実施形態によるDLL回路について説明する。図3は、本発明の第2の実施形態によるDLL回路の構成を示し、図4は、第2の実施形態によるDLL回路の各部の波形図を示す。第2の実施形態によるDLL回路は、第1の実施形態におけるDLL回路とは、可変遅延回路1の固定遅延部1-3とサンプリング回路5が異なっている。他の要素は同一である。従って、異なる点のみを説明する。

【0053】図3を参照して、第2の実施形態のサンプリング回路5では、制御信号発生部6は、インバータ23-2、D型フリップフロップ25、インバータ27からなる。インバータ23-2は信号N1に接続されている。インバータ23-2の出力は、D型フリップフロップ25のクロック端子に供給されている。フリップフロップ25のQB出力の反転信号は、D入力端子に接続されている。フリップフロップ25のQ出力端子はインバータ27に出力されている。

【0054】サンプリング部7は、インバータ23-1、クロックドインバータ24、NチャンネルFET35からなる。インバータ23-1は信号N1に接続されている。インバータ23-1の出力は、クロックドインバータ24に接続されている。このインバータ23-1によりインバータ23-2による遅延がキャンセルされている。クロックドインバータ24のクロック端子は上記インバータ27の出力に接続されている。クロックドインバータ24の出力はNチャンネルFET35のドレインに接続されている。NチャンネルFET35のゲートは、上記インバータ27の出力に接続され、そのソースは接地されている。

【0055】また、固定遅延部1-3は、インバータ23-3とクロックドインバータ26からなる。インバータ23-3は信号N1に接続され、その出力はクロックドインバータ26に接続されている。クロックドインバ

ータ26のクロック端子は接地されている。

【0056】固定遅延部1-3での遅延量とサンプリング回路5での遅延量とをそろえる必要がある。従って、インバータ23-1とインバータ23-2の遅延量は等しく、また、クロックドインバータ24と26の遅延量は同一である。

【0057】次に、図4を参照して、第2の実施形態のDLL回路の動作を説明する。

【0058】図4(a)に示される信号N1がインバータ23-2で遅延され、反転されてフリップフロップ25に供給される。フリップフロップ25は遅延された信号N1を1/2分周して、図4(c)に示される信号22を出力する。インバータ27は信号22を反転して図4(d)に示される信号N2を生成する。

【0059】このとき、信号N1は、インバータ23-2と同等の遅延時間をもってインバータ23-1により反転され、クロックドインバータ24に供給される。インバータ27の出力がHレベルのとき、クロックドインバータ24はオフとなる。このため、インバータ23-1からの信号は出力されない。また、NチャンネルFET35はオンし、クロックドインバータ24の出力はLレベルとなる。

【0060】一方、インバータ27の出力がLレベルのとき、クロックドインバータ24はオンとなる。このため、インバータ23-1からの信号はクロックドインバータにより反転され、出力される。また、NチャンネルFET35はオフするので、クロックドインバータ24の出力はそのまま信号N3として出力される。

【0061】また、信号N1は、インバータ23-3を通して反転され、クロックドインバータ26に出力されているので、インバータ23-3からの出力は反転され、信号S3として出力される。

【0062】以上のようにして、信号N1のパルスの2個に1つの割合でサンプリング回路5から信号N3として出力される。第2の実施形態では、第1の実施形態と比較して、信号遅延のライン（信号N1～インバータ23-3～クロックドインバータ26～信号S3）とサンプリングのライン（信号N1～インバータ23-1～クロックドインバータ24～信号N3）とで遅延量を一層厳密に合わせることが可能である。なお、第1及び第2の実施形態では、周波数は異なるが同じ入力波形を有する信号を用いて位相比較が行われる。この結果、位相差を検出する精度あげることができる。

【0063】次に本発明の第3の実施形態によるDLL回路について説明する。図5は、本発明の第3の実施形態によるDLL回路の構成を示し、図6は、第3の実施形態によるDLL回路の各部の波形図を示す。第3の実施形態によるDLL回路は、第1の実施形態におけるDLL回路とは、可変遅延回路1の固定遅延部1-4とサ

10

20

30

40

50



ンプリング回路5が異なっている。他の要素は同一である。従って、異なる点のみを説明する。

【0064】図5を参照して、第3の実施形態のサンプリング回路5では、制御信号発生部6は、インバータ23-2、D型フリップフロップ25、NOR回路28からなる。インバータ23-2は信号N1に接続されている。インバータ23-2の出力は、D型フリップフロップ25のクロック端子に供給されている。フリップフロップ25のQB出力の反転信号は、D入力端子に接続されている。フリップフロップ25のQ出力端子はNOR回路28に出力されている。NOR回路28には外部からサンプリング制御信号29が供給されている。

【0065】サンプリング部7は、インバータ23-1、クロックドインバータ24、NチャンネルFET35からなる。インバータ23-1は信号N1に接続されている。インバータ23-1の出力は、クロックドインバータ24に接続されている。クロックドインバータ24のクロック端子はNOR回路28の出力に接続されている。クロックドインバータ24の出力はNチャンネルFET35のドレインに接続されている。NチャンネルFET35のゲートは、上記NOR回路28の出力に接続され、そのソースは接地されている。

【0066】また、固定遅延部1-4は、インバータ23-3とクロックドインバータ26からなる。インバータ23-3は信号N1に接続され、その出力はクロックドインバータ26に接続されている。クロックドインバータ26のクロック端子は接地されている。

【0067】第3の実施形態では、第1の実施形態と比較して、信号遅延のライン（信号N1～インバータ23-3～クロックドインバータ26～信号S3）とサンプリングのライン（信号N1～インバータ23-1～クロックドインバータ24～信号N3）とで遅延量を一層厳密に合わせることが可能である。

【0068】次に、図6を参照して、第3の実施形態のDLL回路の動作を説明する。

【0069】図6(a)に示される信号N1がインバータ23-2で遅延され、反転されてフリップフロップ25に供給される。フリップフロップ25は遅延された信号N1を1/2分周して、図6(c)に示される信号22を出力する。

【0070】このとき、信号N1は、インバータ23-3と同等の遅延時間をもってインバータ23-1により反転され、クロックドインバータ24に供給される。サンプリング制御信号がHレベルのとき、NOR回路28の出力はLレベルとなり、クロックドインバータ24はオンとなる。このため、インバータ23-1からの信号は反転されて、信号S3と同等の遅延をもつ信号N3として出力される。また、NチャンネルFETはオフするので、クロックドインバータ24の動作への影響はない。

【0071】一方、サンプリング制御信号がLレベルの場合には、フリップフロップ25の出力がHレベルのとき、NOR回路28の出力はLレベルとなり、クロックドインバータ24はオンとなる。このため、インバータ23-1からの信号は反転されて、信号S3と同等の遅延をもつ信号N3として出力される。また、NチャンネルFETはオフするので、クロックドインバータ24の動作への影響はない。しかしながら、サンプリング制御信号がLレベルの場合に、フリップフロップ25の出力がLレベルのとき、NOR回路28の出力はHレベルとなり、クロックドインバータ24はオフとなる。このため、インバータ23-1からの信号は出力されない。また、NチャンネルFETはオンするので、クロックドインバータ24の出力はLレベルに設定される。

【0072】また、信号N1は、インバータ23-2と同等あるいはそれより僅かに大きい遅延量を持つインバータ23-3を通して反転され、クロックドインバータ26に出力される。クロックドインバータ26のクロック端子は接地されているので、インバータ23-3からの出力は反転され、信号S3として出力される。以上のようにして、信号N1のパルスの2個に1つの割合でサンプリング回路5から信号N3として出力される。

【0073】なお、NOR回路28に代えて、NAND回路が使用されれば、サンプリング制御信号がHレベルのときは、信号22がHレベルのときだけ信号N1の反転信号が反転されて出力され、サンプリング制御信号がLレベルのときは、信号22に関わらず信号N1の反転信号は出力されない。

【0074】このように、第3の実施形態では、位相比較される外部クロック信号と内部クロック信号とがある程度ロック（外部クロック信号と内部クロック信号との位相差が規定の範囲に入った状態）間では、分周が行われず、信号N1がそのまま出力される。結果として、分周したときよりも位相比較を行う回数が多いので、短時間でロックが達成される。その後は、分周が行われるので、消費電流を抑えながらロック状態が維持される。

【0075】従って、第3の実施形態によれば、DLL回路の立ち上げ直後、つまりアンロック状態（外部クロック信号と内部クロック信号との位相差が規定の範囲に入っていない状態）からロック状態に移る段階でも、安定して動作するDLL回路を提供することができる。

【0076】次に、本発明の第4の実施形態によるDLL回路を図7を参照して説明する。

【0077】第4の実施形態によるDLL回路は、第1の実施形態のDLL回路とは以下の点で異なる。即ち、信号S2が位相比較回路8に直接入力されず、分周回路30で分周されて位相比較回路8に供給されている。サンプリング回路5の分周回路6が1/n分周回路（nは2以上の整数）である、即ちサンプリング回路5が信号N1のn個のパルスのうち1つを出力するとする。この

場合、分周回路 30 は、 $1/m$  分周回路である。ここで、 $m$  は、 $n$  の約数のうち 1 ではない値である。これ以外は、第 4 の実施形態による D L L 回路は、第 1 の実施形態の D L L 回路と同様であるので、説明は省略する。

【0078】第 4 の実施形態では、基準クロック信号の周波数が位相比較回路の動作限界を超えたときでも、分周によって周波数を落とすことができる。即ち、動作可能周波数範囲を広げることができる。

【0079】次に、本発明の第 5 の実施形態による D L L 回路を図 8 を参照して説明する。

【0080】第 5 の実施形態による D L L 回路は、第 1 の実施形態の D L L 回路とは以下の点で異なる。即ち、固定遅延部が省略され、可変遅延部 1-1 の出力が信号 S 3 として出力バッファ 15 に供給されている。また、サンプリング回路 5 では、サンプリング部 7 が省略され、分周回路 6 の出力がそのまま信号 N 3 として出力ダミー回路 9 に供給されている。これ以外は、第 5 の実施形態による D L L 回路は、第 1 の実施形態の D L L 回路と同様であるので、説明は省略する。

【0081】第 5 の実施形態では、分周信号 N 3 のパルスが可変遅延部 1-1 からのパルスの内の 1 つに対応している。即ち、分周回路 6 が  $1/n$  ( $n$  は正の整数) 分周するとき、信号 N 1 の  $n$  パルスのうちの 1 つのパルスに対応するパルスとして分周信号 N 3 が出力される。こうして、回路素子の数を減らしながら、第 1 の実施形態と同様の効果を達成することができる。

【0082】以上説明した D L L 回路は一般にメモリ、CPU などの半導体装置に組み込まれる。この場合、位相制御された内部クロック信号 S 4 は、読み出しデータを出力バッファ 109 から出力するタイミングの制御等に用いられる。

【0083】

【発明の効果】本発明による D L L 回路は、メタステーブルにならず位相制御が安定している。

【0084】また、本発明による D L L 回路は、ダミー回路の前にサンプリング回路を挿入し、位相比較動作の回数を削減したので、電力消費が少ない。更に、サンプリングされた信号に基づいて位相比較動作が行われるので、誤動作の発生が抑制され、安定した回路動作が得られる。

【図面の簡単な説明】

【図 1】図 1 は、本発明の第 1 の実施形態による D L L

回路の構成を示すブロック図である。

【図 2】図 2 は、本発明の第 1 の実施形態による D L L 回路における各信号のタイミングを示すタイミングチャートである。

【図 3】図 3 は、本発明の第 2 の実施形態による D L L 回路の構成を示すブロック図である。

【図 4】図 4 は、本発明の第 2 の実施形態による D L L 回路における各信号のタイミングを示すタイミングチャートである。

10 【図 5】図 5 は、本発明の第 3 の実施形態による D L L 回路の構成を示すブロック図である。

【図 6】図 6 は、本発明の第 3 の実施形態による D L L 回路における各信号のタイミングを示すタイミングチャートである。

【図 7】図 7 は、本発明の第 4 の実施形態による D L L 回路の構成を示すブロック図である。

【図 8】図 8 は、本発明の第 5 の実施形態による D L L 回路の構成を示すブロック図である。

20 【図 9】図 9 は、従来の D L L 回路の構成を示すブロック図である。

【図 10】図 10 は、図 9 に示される従来の D L L 回路における信号のタイミングを示すタイミングチャートである。

【符号の説明】

1 : 可変遅延回路

1-1 : 可変遅延部

1-2 : 固定遅延部

3 : 入力バッファ

5 : サンプリング回路

30 6 : 制御信号発生部 (分周回路)

7 : サンプリング部

8 : 位相比較回路

9 : 出力ダミー回路

11 : 入力ダミー回路

1-3 : 固定遅延部

1-4 : 固定遅延部

23-1, 23-2, 23-3, 27 : インバータ

24, 26 : クロックドインバータ

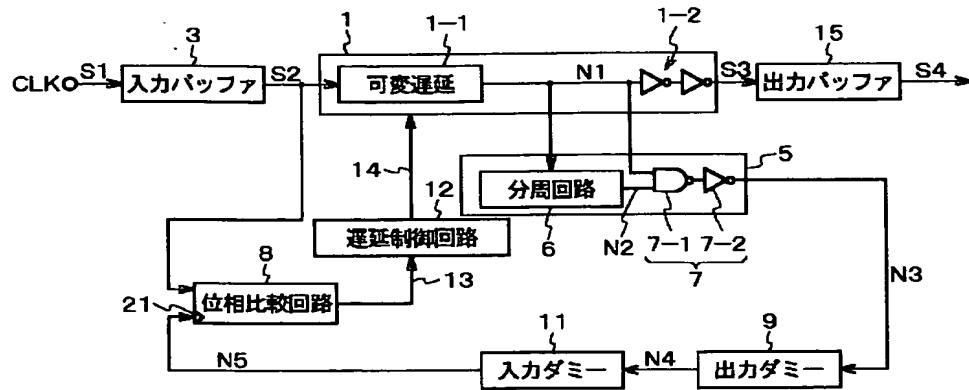
25 : フリップフロップ

40 28 : NOR 回路

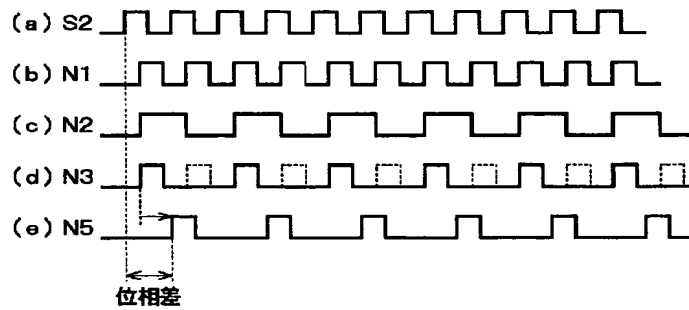
35 : Nチャンネル FET

30 : 分周回路

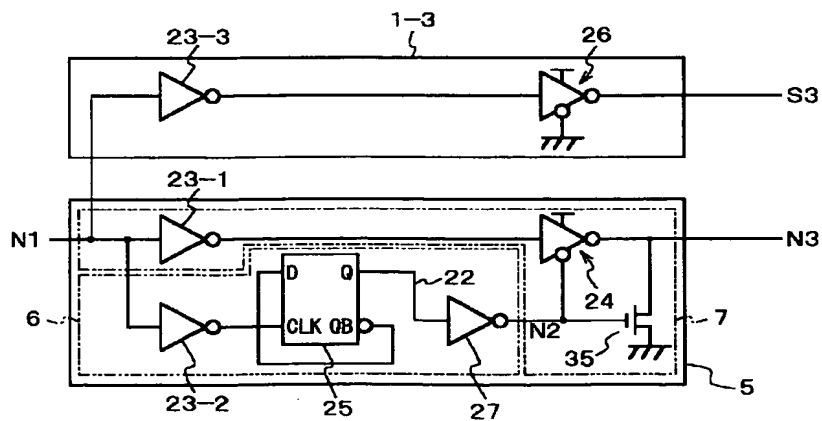
【図 1】



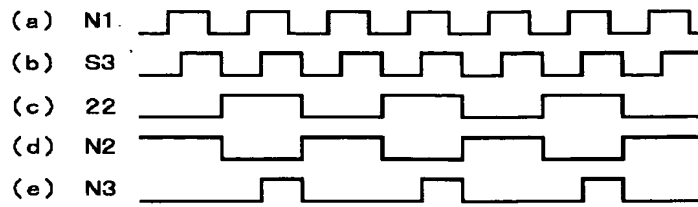
【図 2】



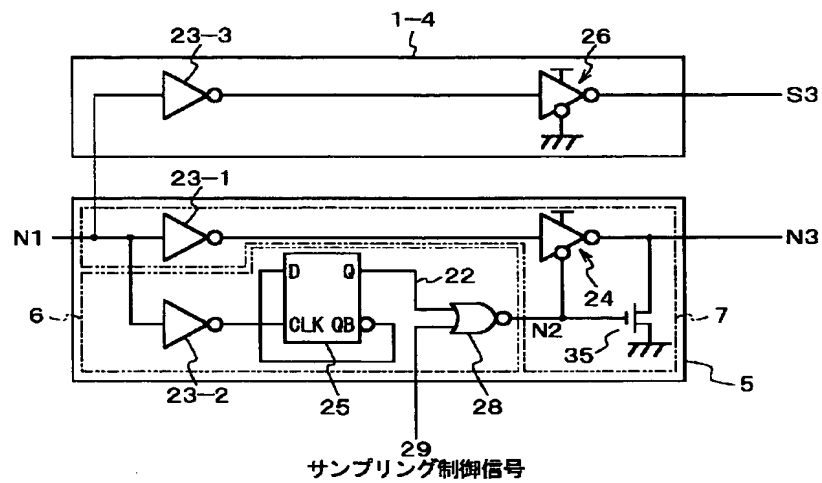
【図 3】



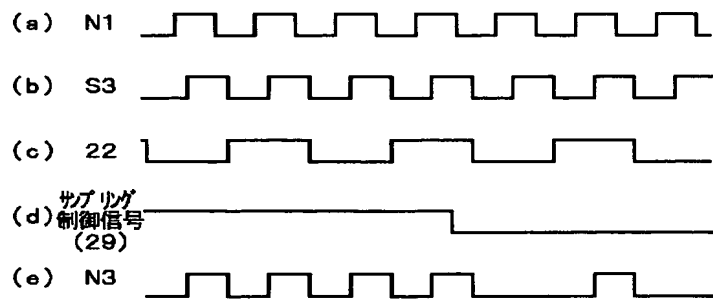
【図 4】



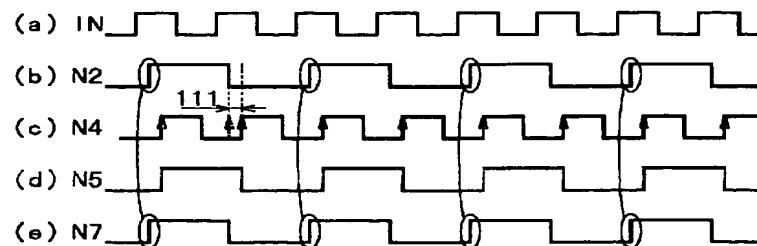
【図 5】



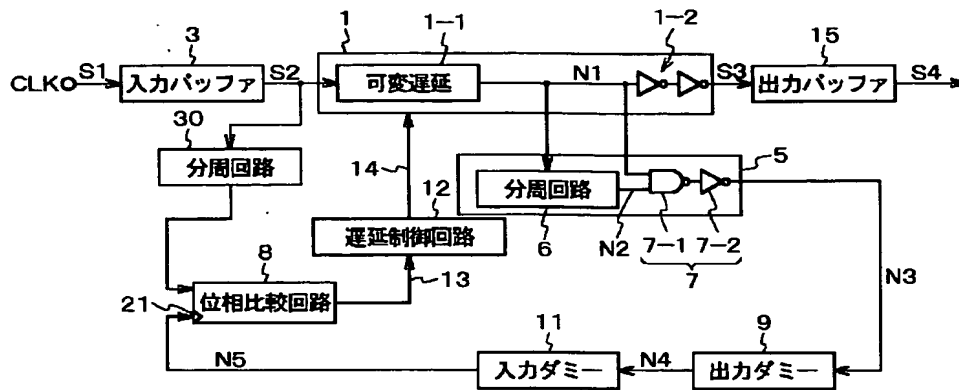
【図 6】



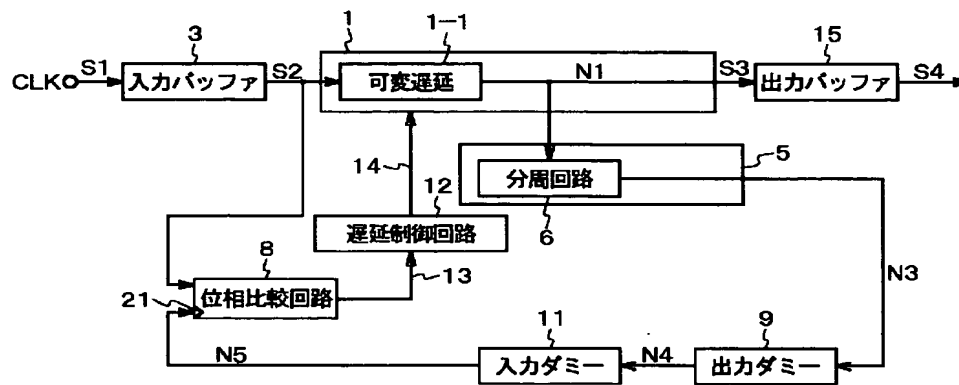
【図 10】



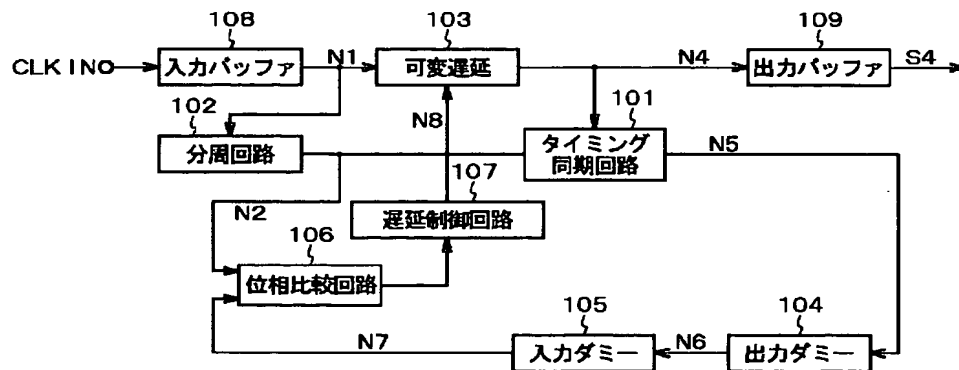
【図 7】



【図 8】



【図 9】



フロントページの続き

F ターム(参考) 5B024 AA01 AA03 BA21 BA23 CA07  
5B079 BA20 BC01 BC03 CC02 CC14  
DD06 DD20  
5J001 AA04 AA05 BB00 BB05 BB10  
BB11 BB12 BB14 BB24 CC03  
DD01  
5J106 AA04 CC21 CC52 CC59 DD24  
DD42 DD43 KK12 KK29 KK40